

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326495

(43)Date of publication of application : 08.12.1998

(51)Int.Cl.

G11C 16/06

(21)Application number : 09-135289

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.05.1997

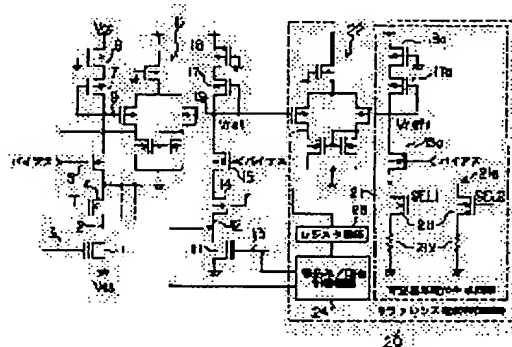
(72)Inventor : KASAI HISAMICHI
YAMAZAKI AKIHIRO

(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate the read-out speed by comparing a reference cell threshold value with precise variable reference potential and converging the reference cell threshold value to a required value in a reference potential control mode time regardless of the reference cell threshold value after being erased for initialization.

SOLUTION: A variable current source circuit 21a is provided with plural current source circuits consisting of a switching transistor 211 and a precise resistance element 212 to generate precise variable reference potential V_{refx} corresponding to switch control signals SEL1, 2. At the time of a reference potential control mode such as a point of time of a power supply, a comparison circuit 22 compares reference potential V_{ref} decided according to the on state of the reference cell 11 with the variable reference potential V_{refx} to store the result in a register circuit 23. A write-in/erase control circuit 24 makes execute the write-in/erase repeatedly until the reference potential V_{ref} is converged to a reference value according to the result data of the register circuit 23.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

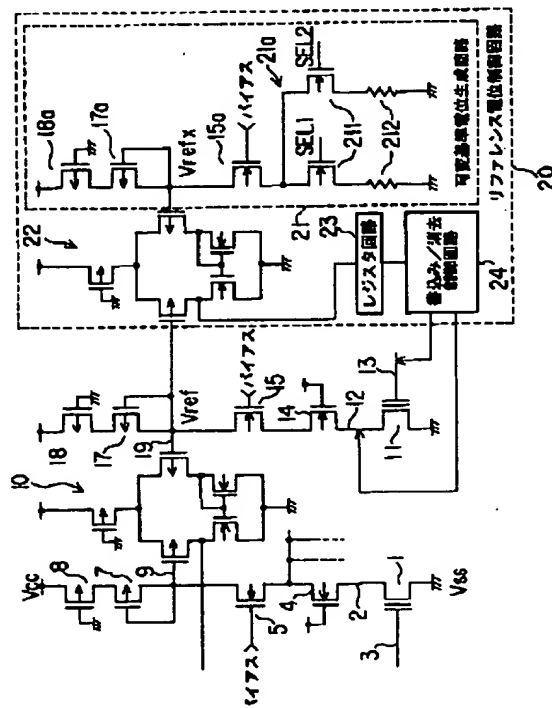
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(11)特許出願公開番号

(43)公開日 平成10年(1998)12月8日

6 3 4 E



【特許請求の範囲】

【請求項1】 電氣的に消去可能なEEPROMセルの
アレイと、

前記アレイの一部をなし、紫外線消去により消去状態に
設定されるリファレンスセルと、

前記アレイにおける選択されたEEPROMセルのから
の読み出し電位のデータ判定基準を与えるリファレンス
電位を前記リファレンスセルの閾値に応じて生成するリ
ファレンス電位生成回路と、

リファレンス電位制御動作モード時に前記リファレンス
電位生成回路を制御して前記リファレンス電位を所定の
値に収束設定させるためのリファレンス電位制御回路と
を具備することを特徴する不揮発性半導体記憶装置。

【請求項2】 ビット線と、

前記ビット線に接続され、浮遊ゲートおよび制御ゲート
が積層された二層ゲート構造を有する電氣的消去可能な
不揮発性のメモリセルと、

前記ビット線を選択するための列選択用トランジスタ
と、

前記列選択用トランジスタのドレインと第1ノードとの
間に接続され、ゲートに所定値のバイアス電圧が印加さ
れる第1のトランスファゲートと、

前記第1ノードを充電する第1の負荷回路と、

リファレンスビット線と、

前記リファレンスビット線に接続された電氣的消去可能
なリファレンスセルと、 前記リファレンスビット線を
選択するためのリファレンスセル側列選択用トランジスタ
と、

前記リファレンスセル側列選択用トランジスタのドレイ
ンと第2ノードとの間に接続され、ゲートに所定値のバ
イアス電圧が印加される第2のトランスファゲートと、
前記第2ノードを充電する第2の負荷回路と、

前記第1ノードの電位と第2ノードの電位とを比較し、
その差を増幅して出力するセンスアンプと、

リファレンス電位制御モード時に前記リファレンスセル
の閾値を所定の値に収束設定させるためのリファレンス
電位制御回路とを具備することを特徴する不揮発性半導
体記憶装置。

【請求項3】 請求項1または2記載の不揮発性半導体
記憶装置において、前記リファレンス電位制御回路は、
前記リファレンス電位の大きさを検出し、検出結果に基
づいてリファレンスセルの閾値を所定値に収束させるた
めにリファレンスセルに対する書き込みあるいは消去を行
う回路を有することを特徴する不揮発性半導体記憶装
置。

【請求項4】 請求項3記載の不揮発性半導体記憶装置
において、前記リファレンス電位制御回路は、可変基準
電位を生成する可変基準電位生成回路と、前記リファレ
ンス電位と前記可変基準電位とを比較し、比較結果とし
てリファレンス電位ステータスデータを出力する比較回

路と、前記リファレンス電位ステータスデータを格納す
るレジスタ回路と、前記レジスタ回路の格納データの内
容に応じて前記リファレンスセルに対する書き込みある
いは消去をリファレンスセルの閾値が所定値に収束する
まで繰り返す書き込み／消去制御回路とを具備すること
を特徴する不揮発性半導体記憶装置。

【請求項5】 請求項4記載の不揮発性半導体記憶装置
において、前記可変基準電位生成回路は、電源ノードと
接地ノードとの間に直列に接続された通常オン型のPチ
ャネルトランジスタ、負荷用のPチャネルトランジスタ、
ビット線バイアス用トランジスタおよび可変電流源回
路とを具備することを特徴する不揮発性半導体記憶装
置。

【請求項6】 請求項5記載の不揮発性半導体記憶装置
において、前記可変電流源回路は、スイッチ用トランジ
スタと抵抗素子とが直列されてなる電流源回路が複数個
並列に接続されてなり、前記各抵抗素子は互いに異なる
抵抗値を有し、前記各スイッチ用トランジスタはリファ
レンス電位制御動作指令に基づいて生成されるスイッチ
制御信号により選択的にオン状態に制御されることを特
徴する不揮発性半導体記憶装置。

【請求項7】 請求項5記載の不揮発性半導体記憶装置
において、前記可変電流源回路は、前記バイアス回路の
一端と可変電流供給用パッドとの間に挿入接続され、リ
ファレンス電位制御モード時にオン状態に制御されるス
イッチ用トランジスタを具備し、ウェハー状態において
リファレンス電位制御モード時にチップ外部から前記可
変電流供給用パッドを介して任意の可変電流が供給され
ることを特徴する不揮発性半導体記憶装置。

【請求項8】 請求項7記載の不揮発性半導体記憶装置
において、前記可変電流源回路は、リファレンス電位制
御モード時にチップ外部から任意の可変電流が供給され
る可変電流供給用パッドと、前記バイアス回路の一端と
前記可変電流供給用パッドとの間に挿入接続され、リフ
ァレンス電位制御動作指令に基づいてオン状態に制御さ
れるスイッチ用トランジスタとを具備することを特徴す
る不揮発性半導体記憶装置。

【請求項9】 請求項3記載の不揮発性半導体記憶装置
において、前記書き込み／消去制御回路は、リファレンス
電位制御動作指令に基づいて所定の書き込みシーケンス
または消去シーケンスにしたがって前記リファレンスセル
に対する書き込みまたは消去を制御することを特徴する
不揮発性半導体記憶装置。

【請求項10】 請求項9項に記載の不揮発性半導体記
憶装置において、前記書き込みシーケンスは、前記リファ
レンスセルに一定パルス時間の書き込み電圧を印加して書
込む毎にメモリセルの閾値が所定値以上であるか否かの
判定を行い、メモリセルの閾値が所定値以上であること
が確認されるまで書き込みを繰り返すことを特徴とする
不揮発性半導体記憶装置。

【請求項11】 請求項9記載の不揮発性半導体記憶装置において、前記消去シーケンスは、前記リファレンスセルに一定パルス時間の消去電圧を印加して消去する毎にメモリセルの閾値が所定値以下であるか否かの判定を行い、メモリセルの閾値が所定値以下であることが確認されるまで消去を繰り返すことを特徴とする不揮発性半導体記憶装置。

【請求項12】 請求項1乃至11のいずれか1項に記載の不揮発性半導体記憶装置において、前記リファレンス電位制御モードに入るタイミングは、EEPROMに電源が投入された時点、EEPROMの動作中にリファレンス電位を常にまたは定期的にモニターし、リファレンス電位の変動を検知した時点、EEPROMの製造後におけるデバイス出荷前のサンプルテストの時点のいずれかであることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に係り、特に積層ゲート構造の不揮発性メモリセルのアレイを用いた電氣的消去・再書き込み可能な不揮発性半導体記憶装置（EEPROM）における読み出し回路に読み出し基準電位として供給されるリファレンス電位の閾値を制御する回路に関するもので、例えばフラッシュEEPROMのような一括消去型の半導体メモリに使用されるものである。

【0002】

【従来の技術】EPROM（紫外線消去・再書き込み可能な読み出し専用メモリ）やEEPROM（電氣的消去・再書き込み可能な読み出し専用メモリ）においては、ゲート絶縁膜中に電荷蓄積層として形成された浮遊ゲート電極および制御ゲート電極が積層された二層ゲート構造（スタック・ゲート）を有する1個のMOS型の電界効果トランジスタがメモリセルとして用いられる。

【0003】このセルトランジスタに対するデータの書き込みは、制御ゲートおよびドレインに高電圧を印加し、ドレイン近傍に生じるチャネル・ホット・エレクトロンを浮遊ゲートに注入することに行う。このエレクトロンが注入されたセルトランジスタは、制御ゲートからみた閾値が上昇する。上記セルトランジスタのデータの読み出しは、制御ゲートに読み出し電位を印加し、セルトランジスタがオンするかオフするかによってデータの判定を行う。

【0004】図6は、EEPROMで一般的に用いられている読み出し回路およびメモリセルアレイの一部を示している。図6において、Vccは電源電位、Vssは接地電位、1はメモリセル（本体セル）、2はビット線、3はワード線、4は列選択用のエンハンスメント型Nチャネルトランジスタである。

【0005】5はビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタである。上記ト

ランジスタ5は、読み出し時にはそのゲートに所定のバイアス電位が供給されることによりビット線電位をクランプし、本体セル1の長時間の読み出し中に誤書き込みが生じることを防止する。また、上記トランジスタ5は、読み出し時以外にはそのゲートに例えば0Vが供給されることによりオフ状態になり、ビット線2からセンスアンプ10を電氣的に切り離す。

【0006】7はゲート・ドレイン相互が接続されたビット線負荷用のエンハンスメント型Pチャネルトランジスタ、8はVccノードと上記ビット線負荷用Pチャネルトランジスタのソースとの間にソース・ドレインが挿入接続され、ゲートが接地された通常オン型のPチャネルトランジスタ、9はセンス線である。

【0007】11はリファレンスセル、12はリファレンスセル側のビット線、13はリファレンスワード線、14はリファレンスセル側の列選択用のエンハンスメント型Nチャネルトランジスタである。

【0008】15はリファレンスセル側のビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタである。上記トランジスタ15は、読み出し時にはそのゲートに所定のバイアス電位が供給されることによりビット線電位をクランプし、読み出し時以外にはそのゲートに例えば0Vが供給されることによりオフ状態になり、リファレンスセル側のビット線12からセンスアンプ10を電氣的に切り離す。

【0009】17はゲート・ドレイン相互が接続されたリファレンスビット線負荷用のエンハンスメント型Pチャネルトランジスタ、18はリファレンスセル側の通常オン型のPチャネルトランジスタ、19はリファレンスセル側センス線である。

【0010】10は差動型のセンスアンプであり、本体セル1からの読み出し電位とリファレンスセル11からの読み出し電位（リファレンス電位Vref）とを高速に比較することが可能なカレントミラー型の差動回路が用いられることが多い。

【0011】次に、図6の読み出し回路の動作を説明する。アドレス信号により選択されたワード線3およびビット線2に接続されている本体セル1（選択セル）が書き込み状態（オフ状態）であると、これに接続されているビット線2の電位は高レベル（例えば1.5V）になる。

【0012】前記とは逆に、選択セル1が非書き込み状態（消去状態、オン状態）であると、これに接続されているビット線2の電位は低レベルになり、この低レベルはビット線トランスファゲート用トランジスタ5のサイズ調整により1.2Vにすることが可能である。従って、ビット線電位を0.3V程度の振幅に絞り込むことが可能になる。

【0013】また、ビット線負荷用トランジスタ7、8の閾値、サイズを調整することにより、ビット線電位が

高レベル (1.5 V) の時にセンス線 9 の電位を例えば 4 V、ビット線電位が低レベル (1.2 V) の時にセンス線 9 の電位を例えば 3 V にすることが可能になる。即ち、ビット線 2 の僅かな振幅 (前記 0.3 V) が 1 V ($= 4 \text{ V} - 3 \text{ V}$) に増幅されるようになる。

【0014】ここで、リファレンスセル 11、リファレンスセル側の列選択用トランジスタ 14、ビット線トランスファゲート用トランジスタ 15 の各サイズ (チャネル幅 W / チャネル長 L) を、それぞれ対応して本体セル 1、本体セル側の列選択用トランジスタ 4、ビット線トランスファゲート用トランジスタ 5 の各サイズと同一に設定しておくものとする。

【0015】そして、リファレンスセル 11 を非書き込み状態 (オン状態) に設定すると共にその制御ゲート (リファレンスワード線 13) に読み出し電位 V_{oc} を与えることにより、選択された本体セル 1 が非書き込み状態である場合に、本体セル 1 およびリファレンスセル 11 には同じ電流量が流れることになる。

【0016】ここで、リファレンスセル側ビット線負荷用トランジスタ 17、18 のサイズを本体セル側のビット線負荷用トランジスタ 7、8 のサイズよりも大きく設定することにより、リファレンスセル側のビット線負荷用トランジスタ 17、18 のコンダクタンスを本体セル側のビット線負荷用トランジスタ 7、8 のコンダクタンスよりも高く設定しておけば、リファレンスセル側のセンス線 19 の電位は本体セル側のセンス線 9 の低レベルよりも高くなる。

【0017】同時に、リファレンスセル側のビット線負荷用トランジスタ 17、18 のコンダクタンスを調整しておくことにより、リファレンスセル側のセンス線 19 の電位が本体セル側のセンス線 9 の高レベルよりも低くなるように (本体セル側のセンス線 9 の低レベルと高レベルとの中間電位となるように) 設定することが可能になる。

【0018】従って、本体セル側のセンス線 9 の電位とリファレンスセル側のセンス線 19 の電位とを差動型のセンスアンプ 10 で比較して増幅することにより、本体セル 1 が書き込み状態であるか否かを判別することが可能になる。

【0019】ところで、EEPROM においては、前記リファレンスセル 11 は、紫外線消去により中性状態 (消去状態、非書き込み状態、オン状態) に設定されるのが通常である。

【0020】この理由は、セルの書き込み判定 (ベリファイ)、消去判定 (ベリファイ) を行う際、オン状態のセルの閾値を意図的に設定 (中性状態に設定) することが容易であり、回路構成を簡易化することが容易であるからである。

【0021】また、図 6 の読み出し回路における通常読み出し動作、書き込みベリファイ動作、消去ベリファイ動

作は、リファレンス電位 V_{ref} に対する本体セルからの読み出し電位の大小関係により決まる。

【0022】ここで、図 7 (a) は、EEPROM セルのオンセル / オフセルのゲート・ソース間電圧 V_{gs} とセル電流 (ドレイン・ソース間電流 I_{ds}) との関係およびオンセル / オフセルの閾値とセンスアンプ 10 のリファレンス電位 V_{ref} との関係の一例を示している。

【0023】図 7 (b) は、EEPROM セルのオンセル / オフセルの閾値分布の一例を示し、図 7 (c) は、前記センスアンプ 10 の入出力特性の一例を示している。図 6 の読み出し回路における通常読み出し動作時には、 V_{ref} をオンセルの閾値分布のほぼ中心値 V_x に設定する。また、書き込みベリファイ動作時には、 $V_{ref} = V_c$ に設定してオフセルに対する判定条件を厳しくし、消去ベリファイ動作時には、 $V_{ref} = V_b$ に設定してオンセルに対する判定条件を厳しくする。

【0024】ところで、前記したようにリファレンスセル 11 の閾値は、セルを中性状態に設定するための紫外線消去によりある値に収束するが、この収束値がプロセスのばらつきやダメージ、また、リードディスタース (セルの制御ゲートに常に読み出し電圧が印加されることにより閾値が変動する現象) などにより変動することが多い。その際の問題点として、(a) オンセル / オフセルの読み出し電位に対する電位差のアンバランスによるアクセスタイムの遅れ、(b) 書き込み / 消去後のセルの閾値のずれに伴う信頼性の低下およびこれに伴う動作電圧マージンの低下などが挙げられる。

【0025】さらに、低電力化に伴う低電源電圧化により、前記閾値のこれまで許容されていたずれが無視できなくなる。即ち、図 7 (a) 中に示すように、 V_{ref} が $V_x + \alpha$ (V) に上昇した場合、図 7 (c) に示すセンスアンプ 10 の入出力特性において点線で示す V_{ref}' のようにリファレンス電位 V_{ref} が変化するので、オンセル / オフセルの読み出し電位に対する電位差のバランスが崩れ、オンセルに対するアクセスタイムが遅くなる。これに伴い、図 7 (b) に示したオンセルの閾値分布の上限値 V_b / オフセルの閾値分布の下限値 V_c も見掛け上変動し、セル分布も $+\alpha$ (V) 分だけシフトし、オフセルの判定条件が必要以上に厳しくなるので、判定通過時のオフセルの閾値が上昇し過ぎるなどの問題が生じる。

【0026】上記とは逆に、 V_{ref} が $V_x - \beta$ (V) に下降した場合、オンセル / オフセルの読み出し電位に対する電位差のバランスが崩れ、オフセルに対するアクセスタイムが遅くなる。これに伴い、オンセルの閾値分布の上限値 V_b / オフセルの閾値分布の下限値 V_c も見掛け上変動し、セル分布も $-\beta$ (V) 分だけシフトし、オンセルの判定条件が必要以上に厳しくなるので、判定通過時のオンセルの閾値が下降し過ぎるなどの問題が生じる。

【0027】また、EEPROMセルは、消去時間が長い程、閾値が低下するので、読み出し時のリファレンスセル側のビット線電位を精密に設定することが困難になり、本体セルがオン状態の時とオフ状態の時とで読み出しマージンが異なってしまう、結果的に読み出し速度が低下するおそれがある。

【0028】

【発明が解決しようとする課題】上記したように従来のEEPROMは、中性状態のリファレンスセルの閾値の変動に伴って読み出し速度が低下するおそれがあるという問題があった。本発明は上記の問題点を解決すべくなされたもので、リファレンス電位制御モード時にリファレンスセルの閾値を所定の値に収束設定させることが可能になり、初期化のために紫外線を照射してデータ消去を行った後のリファレンスセルの閾値にかかわらず、リファレンスセルの閾値をリファレンス電位制御動作モード時に所望値に設定して読み出し時のリファレンスセル側のビット線電位を精度よく設定することにより、読み出しの高速化を達成し、性能、信頼性を向上し得る得る不揮発性半導体記憶装置を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、電氣的に消去可能なEEPROMセルのアレイと、前記アレイの一部をなし、紫外線消去により消去状態に設定されるリファレンスセルと、前記アレイにおける選択されたEEPROMセルのからの読み出し電位のデータ判定基準を与えるリファレンス電位を前記リファレンスセルの閾値に応じて生成するリファレンス電位生成回路と、リファレンス電位制御動作モード時に前記リファレンス電位生成回路を制御して前記リファレンス電位を所定の値に収束設定させるためのリファレンス電位制御回路とを具備することを特徴する。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るフラッシュEEPROMの読み出し回路およびメモリセルアレイの一部を示す回路図である。

【0031】図1の回路は、図6を参照して前述した従来例の回路と比べて、リファレンス電位制御回路20が付加されている点異なり、その他は同じであるので図6中と同一符号を付している。

【0032】即ち、図1において、1はメモリセル（本体セル）、11はリファレンス用セルであり、これらはそれぞれ浮遊ゲートと制御ゲートを有するNチャネルのMOSFET（セルトランジスタ）からなる。上記セルトランジスタは全体として行列状に配列されてメモリセルアレイを構成しているが、ここでは、代表的に本体セルおよびリファレンス用セルをそれぞれ1個ずつ図示する。

【0033】なお、前記本体セルは例えばNOR型セルを構成している。NOR型セルは、複数のセルトランジスタの各ドレインが1本のビット線2に共通接続されており、上記複数のセルトランジスタの各制御ゲートにそれぞれ対応してワード線3が接続されており、上記複数のセルトランジスタの各ソースが1本のソース線（例えば接地電位 V_{ss} ）に共通接続されている。上記セルトランジスタおよびNOR型セルの動作原理はよく知られているので、その説明を省略する。

10 【0034】4は列選択用のエンハンスメント型Nチャネルトランジスタである。5はビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタである。上記トランジスタ5は、読み出し時にはそのゲートに所定のバイアス電位が供給されることによりビット線電位をクランプし、本体セル1の長時間の読み出し中に誤書き込みが生じることを防止する。また、上記トランジスタ5は、読み出し時以外にはそのゲートに例えば0Vが供給されることによりオフ状態になり、ビット線2からセンスアンプ10を電氣的に切り離す。

20 【0035】7はゲート・ドレイン相互が接続されたビット線負荷用のエンハンスメント型Pチャネルトランジスタ、8は V_{cc} ノードと上記ビット線負荷用Pチャネルトランジスタのソースとの間にソース・ドレインが挿入接続され、ゲートが接地された通常オン型のPチャネルトランジスタ、9はセンス線である。

【0036】12はリファレンスセル側のビット線、13はリファレンスワード線、14はリファレンスセル側の列選択用のエンハンスメント型Nチャネルトランジスタである。

30 【0037】15はリファレンスセル側のビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタである。上記トランジスタ15は、読み出し時にはそのゲートに所定のバイアス電位が供給されることによりビット線電位をクランプし、読み出し時以外にはそのゲートに例えば0Vが供給されることによりオフ状態になり、リファレンスセル側のビット線12からセンスアンプ10を電氣的に切り離す。

【0038】17はゲート・ドレイン相互が接続されたリファレンスビット線負荷用のエンハンスメント型Pチャネルトランジスタ、18はリファレンスセル側の通常オン型のPチャネルトランジスタ、19はリファレンスセル側のセンス線、10は差動型のセンスアンプである。

【0039】前記差動型のセンスアンプ10は、本体セル1からの読み出し電位とリファレンスセル11からの読み出し電位（リファレンス電位 V_{ref} ）とを高速に比較することが可能なカレントミラー型の差動回路が用いられている。

50 【0040】また、EEPROMでは、電氣的に消去可能なEEPROMセルのアレイを用いるが、前記リファ

レンスセル11は、紫外線消去により中性状態（消去状態、非書き込み状態、オン状態）に設定されるのが通常である。この理由は、セルの書き込み判定（ベリファイ）、消去判定（ベリファイ）を行う際、オン状態のセルの閾値を意図的に設定（セルを中性状態に設定）することが容易であり、回路構成を簡易化することが容易であるからである。

【0041】一方、本発明で追加されたリファレンス電位制御回路20は、前記センスアンプ10に入力するリファレンス電位 V_{ref} の大きさを検出し、検出結果に基づいてリファレンスセルの閾値を所定値に収束させるためにリファレンスセルに対する書き込み（ソフトライトと称する）あるいは消去（ソフトイレースと称する）を行う制御機能を有する。

【0042】前記リファレンス電位制御回路20の一具体例としては、高精度の可変基準電位 V_{refx} を生成する可変基準電位生成回路21と、前記リファレンス電位 V_{ref} と前記可変基準電位 V_{refx} とを比較し、比較結果

（リファレンス電位ステータスデータ）を出力する比較回路22（例えばカレントミラー型の差動回路）と、前記リファレンス電位ステータスデータを格納するレジスタ回路23と、このレジスタ回路の格納データの内容

（リファレンス電位 V_{ref} の大きさ）に応じてリファレンスセルに対する書き込みあるいは消去をリファレンスセルの閾値が所定値に収束するまで繰り返し行う書き込み／消去制御回路24とからなる。

【0043】なお、前記書き込み／消去制御回路24として、EEPROMに設けられているコマンド回路（図示せず）からのリファレンス電位制御動作指令に基づいて後述するようなシーケンス動作を実行させるための制御信号を出力する例えばPLA（プログラマブル・ロジック・アレイ）からなるシーケンス制御回路と、このシーケンス制御回路の制御信号出力に基づいてリファレンスセルに電圧を印加する電圧印加回路とを具備する。

【0044】また、前記可変基準電位生成回路21の一具体例としては、前記リファレンスセル側の回路と同様に、電源ノードに対して通常オン型のPチャネルトランジスタ18a、負荷用のPチャネルトランジスタ17a、ビット線バイアス用トランジスタ15aが直列に接続されており、前記ビット線バイアス用トランジスタ15aの一端と接地ノードとの間に可変電流源回路21aが接続されている。

【0045】上記可変電流源回路21aは、スイッチ用トランジスタ211と高精度の抵抗素子212（例えばプロセス変動の影響が少ないポリシリコン抵抗）とが直列されてなる電流源回路が複数個並列に接続されており、各抵抗素子212は互いに異なる抵抗値を有する。そして、上記各スイッチ用トランジスタ211は、前記リファレンス電位制御動作指令に基づいて生成されるスイッチ制御信号SEL1、SEL2により選択的にオン

状態に制御される。

【0046】これにより、オン状態のスイッチ用トランジスタ211に接続されている抵抗素子212の抵抗値に応じた電流（可変電流）が前記通常オン型のPチャネルトランジスタ18a、負荷用のPチャネルトランジスタ17a、ビット線バイアス用トランジスタ15aの経路に流れ、この電流に応じた基準電位（可変基準電位） V_{refx} が生成されることになる。

【0047】図4は、図1中のリファレンスセル11と列選択トランジスタ14との接続関係の変形例を示している。即ち、書き込み／消去制御回路24により閾値が制御されるリファレンスセル11に流れる電流をカレントミラー回路41により折り返してドレイン・ゲート相互が接続されたNMOSTランジスタ42に流す。そして、このNMOSTランジスタ42のゲート電圧を定電流源用のNMOSTランジスタ43のゲートに印加することにより、前記NMOSTランジスタ42に流れる電流と等しい電流を定電流源用のNMOSTランジスタ43に流す。そして、この定電流源用のNMOSTランジスタ43に前記列選択トランジスタ14を接続している。

【0048】なお、前記可変電流源回路21aとして、前記並列接続された複数個の電流源回路に代えて、例えばウエハ状態においてEEPROMチップの外部から任意の可変電流を供給し得るように構成することも可能である。

【0049】即ち、例えば図5に示すように、前記ビット線バイアス用トランジスタ15aの一端と可変電流供給用パッド213との間にスイッチ用トランジスタ214を挿入接続しておき、リファレンス電位制御モード時にリファレンス電位制御動作信号に基づいて前記スイッチ用トランジスタ214をオン状態に制御させ、チップ外部の可変電流源215から可変電流供給用パッド213を介して任意の可変電流を供給することが可能である。

【0050】次に、図1の読み出し回路の動作を説明する。図1の読み出し回路の動作は、基本的には図6を参照して前述した従来例の読み出し回路の動作と同様であり、さらにリファレンス電位制御回路20による動作が得られる。

【0051】まず、基本的な動作について説明する。アドレス信号により選択されたワード線3およびビット線2に接続されている本体セル1（選択セル）が書き込み状態（オフ状態）であると、これに接続されているビット線2の電位は高レベル（例えば1.5V）になる。前記とは逆に、選択セル1が非書き込み状態（オン状態）であると、これに接続されているビット線2の電位は低レベルになる。この低レベルは、ビット線トランスファゲート用トランジスタ5のサイズ調整により1.2Vにすることが可能である。従って、ビット線電位を0.3V程

度の振幅に絞り込むことが可能になる。

【0052】また、ビット線負荷用トランジスタ7、8の閾値、サイズを調整することにより、ビット線電位が高レベル(1.5V)の時にセンス線9の電位を例えば4V、ビット線電位が低レベル(1.2V)の時にセンス線9の電位を例えば3Vにすることが可能になる。即ち、ビット線2の僅かな振幅(0.3V)が1Vに増幅されるようになる。

【0053】ここで、リファレンスセル11、リファレンスセル側の列選択用トランジスタ14、ビット線トランスファゲート用トランジスタ15の各サイズ(チャネル幅W/チャネル長L)を、それぞれ対応して本体セル1、本体セル側の列選択用トランジスタ3、ビット線トランスファゲート用トランジスタ5の各サイズと同一に設定しておくものとする。

【0054】そして、リファレンスセル11を非書き込み状態(オン状態)に設定すると共にその制御ゲート(リファレンスワード線13)に読み出し電位 V_{cc} を与えることにより、選択された本体セル1が非書き込み状態である場合に、本体セル1およびリファレンスセル11には同じ電流量が流れることになる。

【0055】ここで、リファレンスセル側ビット線負荷用トランジスタ17、18のサイズを本体セル側のビット線負荷用トランジスタ7、8のサイズよりも大きく設定することにより、リファレンスセル側のビット線負荷用トランジスタ17、18のコンダクタンスを本体セル側のビット線負荷用トランジスタ7、8のコンダクタンスよりも高く設定しておけば、リファレンスセル側のセンス線19の電位は本体セル側のセンス線9の低レベルよりも高くなる。

【0056】同時に、リファレンスセル側のビット線負荷用トランジスタ17、18のコンダクタンスを調整しておくことにより、リファレンスセル側のセンス線19の電位が本体セル側のセンス線9の高レベルよりも低くなるように(本体セル側のセンス線9の低レベルと高レベルとの中間電位となるように)設定することが可能になる。

【0057】従って、本体セル側センス線9の電位とリファレンスセル側のセンス線19の電位とを差動型のセンスアンプ10で比較して増幅することにより、本体セル1が書き込み状態であるか否かを判別することが可能になる。

【0058】即ち、読み出し時には、本体セル1およびリファレンスセル11のソースに0V、制御ゲートに V_{cc} 、ドレインには長時間の読み出しによる誤書き込みを防止するための読み出し中間電圧(例えば1V)を与える。これにより、選択セル1のオン/オフ状態に応じてセンス線電位が決まり、リファレンスセル1のオン状態に応じてリファレンスセル側のセンス線電位が決まり、上記センス線電位とリファレンスセル側のセンス線電位

とがセンスアンプ10で比較され、選択セル1のデータの論理レベルが判定される。

【0059】次に、リファレンス電位制御回路20による動作について説明する。リファレンス電位制御モード時に可変基準電位生成回路21で生成された高精度の可変基準電位 V_{refx} と前記リファレンスセル11のオン状態に応じて決まるリファレンス電位 V_{ref} とが比較回路22で比較され、その比較結果(リファレンス電位ステータスデータ)はレジスタ回路23に格納される。

10 【0060】そして、書き込み/消去制御回路24は、リファレンス電位制御モード時に前記レジスタ回路23の格納データの内容(リファレンス電位 V_{ref} の大きさ)に応じてリファレンスセル11に対する書き込みあるいは消去を行い、リファレンスセル11の閾値が所定値に収束するまで書き込みあるいは消去を繰り返す行う。

20 【0061】図2は、図1中の書き込み/消去制御回路24によるシーケンス制御動作の一例を示すフローチャートである。図3は、図2のシーケンス制御動作によるリファレンスセル11の閾値制御動作を説明するために示す図である。

【0062】即ち、図2に示すように、リファレンス電位制御モード(ベリファイタイミングモード)に入り、まず、ステップS1において、前記可変電流源回路21aの2個のスイッチ用トランジスタ211の一方がオン状態、他方がオフ状態に設定されると、所望のリファレンス電位 V_{ref} より例えば0.1V高いソフト消去用の第1の可変基準電位 V_{refx1} が可変基準電位生成回路21で生成される。

30 【0063】ステップS2において、リファレンス電位 V_{ref} と第1の可変基準電位 V_{refx1} との大小関係($V_{ref} > V_{refx1}$)を比較し、判定結果がY(イエス)の場合にはソフト消去動作を行う。

【0064】この後、前記大小関係($V_{ref} > V_{refx1}$)の比較動作に戻り、判定結果がN(ノー)になるまで前記ソフト消去動作を繰り返す。ステップS3において、前記可変電流源回路21aの2個のスイッチ用トランジスタ211が前記消去モードとは逆に一方がオフ状態、他方がオン状態に設定されると、前記所望のリファレンス電位 V_{ref} より例えば0.1V低いソフト書き込み用の第2の可変基準電位 V_{refx2} ($< V_{refx1}$)が可変基準電位生成回路21で生成される。

【0065】ステップS4において、リファレンス電位 V_{ref} と第2の可変基準電位 V_{refx2} との大小関係($V_{ref} > V_{refx2}$)を比較し、判定結果がNの場合にはソフト書き込み動作を行う。

50 【0066】この後、前記大小関係($V_{ref} > V_{refx1}$)の比較動作に戻り、判定結果がYの場合にはソフト消去動作を行い、判定結果がNの場合には前記大小関係($V_{ref} > V_{refx2}$)を比較し、この判定結果がYになるまで前記ソフト書き込み動作を繰り返した後にリファ

レンス電位制御モードから抜け出す。

【0067】即ち、上記したようなEEPROMによれば、データ消去後にリファレンスセル11の閾値をリファレンス電位制御回路20によって制御し、リファレンス電位 V_{ref} を所定の値（本例では $V_{ref} \pm 0.1V$ の範囲内）に収束させることが可能になる。

【0068】従って、EEPROMの製造に際して、ウェーハ状態でテストし、さらに、初期化のために紫外線を照射してデータ消去を行った後のリファレンスセル11の閾値にかかわらず、リファレンスセル11の閾値を所望値に正確に設定できるので、回路動作およびプロセス上のマージンが拡大する。換言すれば、読み出し時のリファレンスセル側のビット線電位を精度よく設定することにより、読み出しの高速化を十分に達成することができる。

【0069】なお、リファレンス電位制御モードに入るタイミングとしては、EEPROMに電源が投入された時点とか、EEPROMの動作中にリファレンス電位を常にまたは定期的にモニターし、リファレンス電位の変動を検知した時点とか、EEPROMの製造後におけるデバイス出荷前のサンプルテストの時点などとする事が可能である。

【0070】

【発明の効果】上述したように本発明によれば、電氣的消去・再書き込み可能な不揮発性半導体記憶装置において、リファレンスセルの閾値を所定の値に収束できるようにし、初期化のために紫外線を照射してデータ消去を行った後のリファレンスセルの閾値にかかわらず、リファレンス電位制御モード時にリファレンスセルの閾値を所望値に設定して読み出し時のリファレンスセル側のビット線電位を精度よく設定することにより、読み出しの高速化を達成することができる。

【図面の簡単な説明】

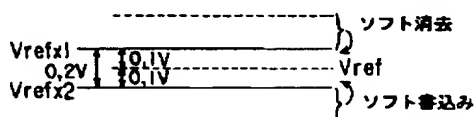
【図1】本発明の第1の実施の形態に係るフラッシュEEPROMの読み出し回路およびメモリセルアレイの一部を示す回路図。

【図2】図1中の書き込み/消去制御回路によるシーケンス制御動作の一例を示すフローチャート。

【図3】図2のシーケンス制御動作によるリファレンスセルの閾値制御動作を説明するために示す図。

【図4】図1中のリファレンス電位制御回路におけるリ

【図3】



ファレンスセル閾値制御回路の一例を示す回路図。

【図5】図1中の可変電流源回路の変形例に係る読み出し回路およびメモリセルアレイの一部を示す回路図。

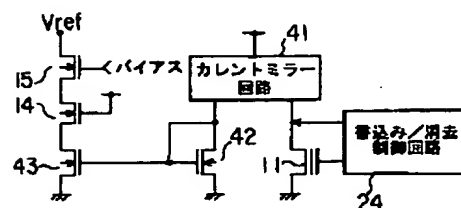
【図6】EEPROMで一般的に用いられている読み出し回路およびメモリセルアレイの一部を示す回路図。

【図7】図6中のEEPROMセルのオンセル/オフセルのゲート・ソース間電圧 V_{gs} とセル電流との関係、オンセル/オフセルの閾値とリファレンス電位 V_{ref} との関係の一例、オンセル/オフセルの閾値分布の一例およびセンスアンプの入出力特性の一例を示す図。

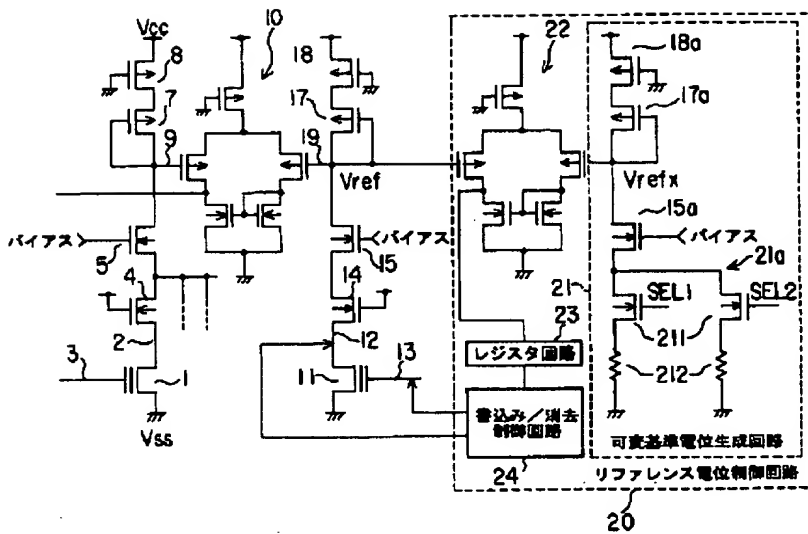
【符号の説明】

- 1…メモリセル（本体セル）、
- 2…ビット線、
- 3…ワード線、
- 4…列選択用トランジスタ、
- 5…ビット線トランスファゲート用トランジスタ、
- 7…ビット線負荷用トランジスタ、
- 8…通常オン型負荷用トランジスタ、
- 9…センス線、
- 10…差動型センスアンプ、
- 11…リファレンスセル、
- 12…リファレンスセル側のビット線、
- 13…リファレンスワード線、
- 14…リファレンスセル側の列選択用トランジスタ、
- 15…リファレンスセル側のビット線トランスファゲート用トランジスタ、
- 17…リファレンスセル側のビット線負荷用トランジスタ、
- 18…リファレンスセル側の通常オン型負荷用トランジスタ、
- 19…リファレンスセル側のセンス線、
- 20…リファレンス電位制御回路、
- 21…可変基準電位生成回路、
- 21a…可変電流源回路、
- 211、214…スイッチ用トランジスタ、
- 212…抵抗素子、
- 213…可変電流供給用パッド、
- 22…比較回路、
- 23…レジスタ回路、
- 24…書き込み/消去制御回路。

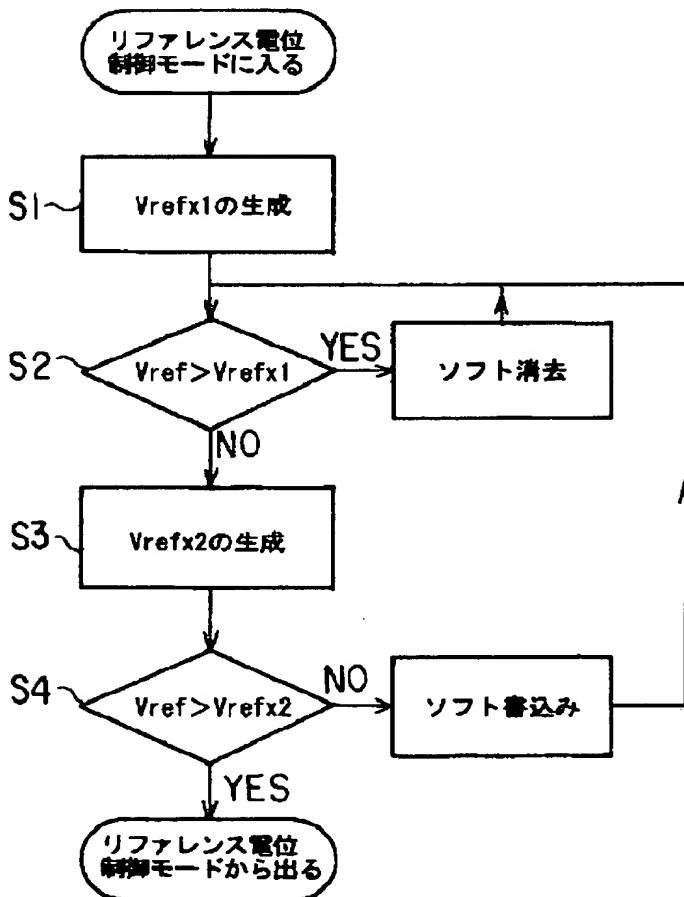
【図4】



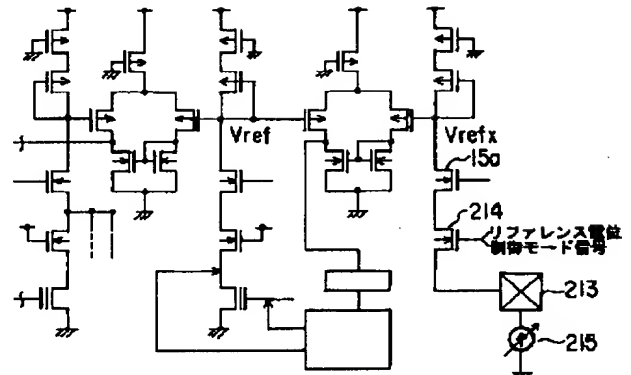
【図1】



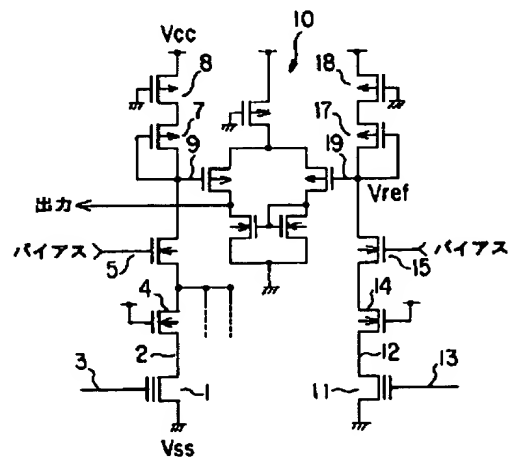
【図2】



【図5】



【図6】



【図7】

